

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10256398
PUBLICATION DATE : 25-09-98

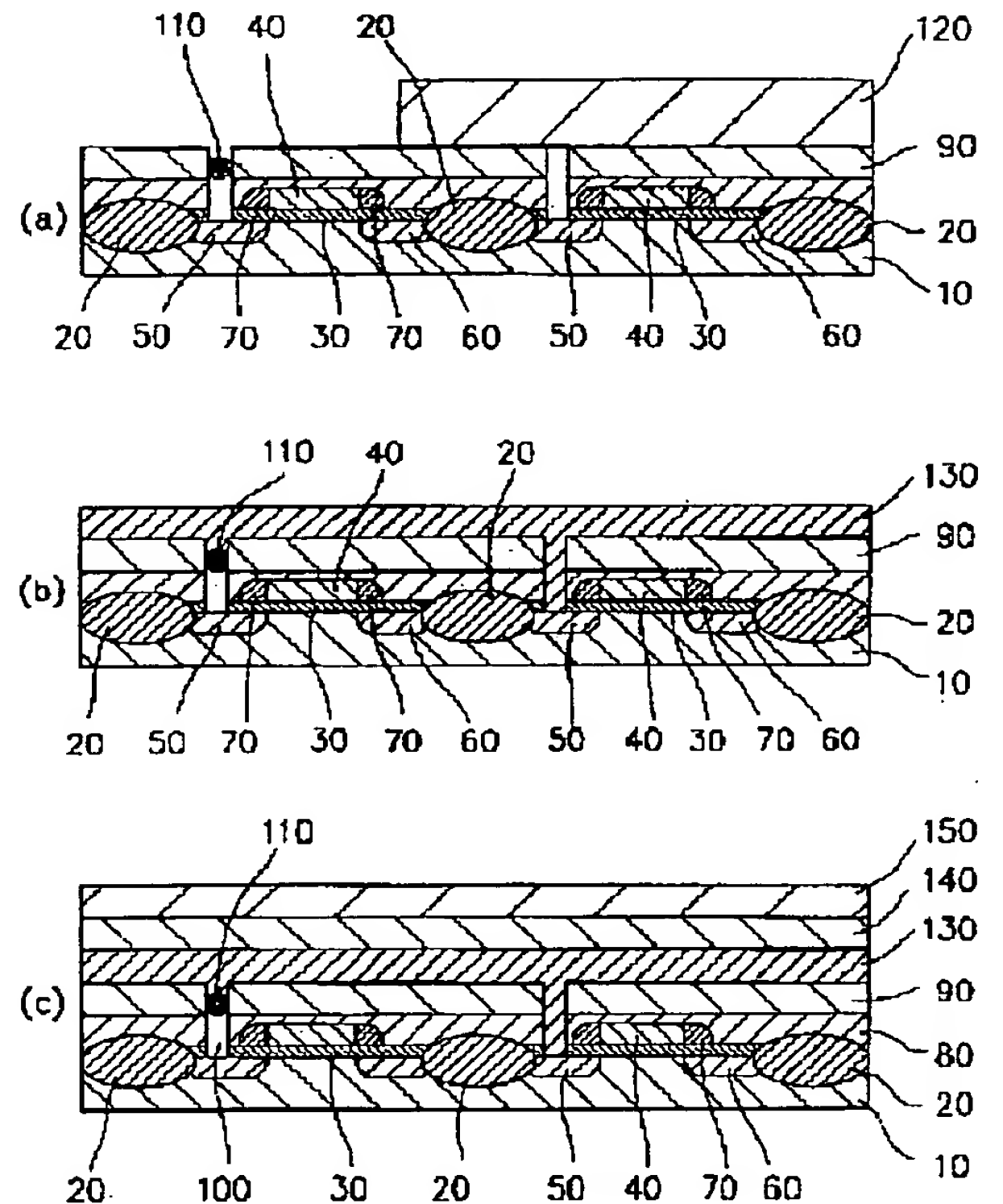
APPLICATION DATE : 14-03-97
APPLICATION NUMBER : 09081888

APPLICANT : NIPPON STEEL CORP;

INVENTOR : SHINOZAKI TSUTOMU;

INT.CL. : H01L 21/8246 H01L 27/112 H01L 27/10
H01L 21/8244 H01L 27/11 H01L
27/115

TITLE : SEMICONDUCTOR STORAGE DEVICE
AND MANUFACTURE THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To provide a semiconductor device and a simple method for manufacturing it in which a semiconductor integrated circuit contains identifying memory cell parts, which cannot be changed respectively and store intrinsic information different from each other, for identification of a plurality of semiconductor devices.

SOLUTION: A plurality of transistors formed in array-like manner is disposed on a semiconductor substrate 10, and with fine particle 110 comprising insulating material selectively dispersed in a contact 100 hole opened among the transistors and a wiring layer 130, an identifying memory cell part in which a part of the contact 100 hole of the transistors is randomly covered is formed. Thereby there is no semiconductor device having the same memory cell part as others, and by registering the cell information in a host, each semiconductor device can be identified, and forgery of a semiconductor device in which important information is recorded is prevented.

COPYRIGHT: (C)1998,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256398

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8246

H 0 1 L 27/10

4 3 3

27/112

3 1 1

27/10

3 1 1

3 8 1

21/8244

4 3 4

27/11

審査請求 未請求 請求項の数 9 F D (全 4 頁) 最終頁に続く

(21) 出願番号

特願平9-81888

(22) 出願日

平成9年(1997) 3月14日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 篠崎 勉

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

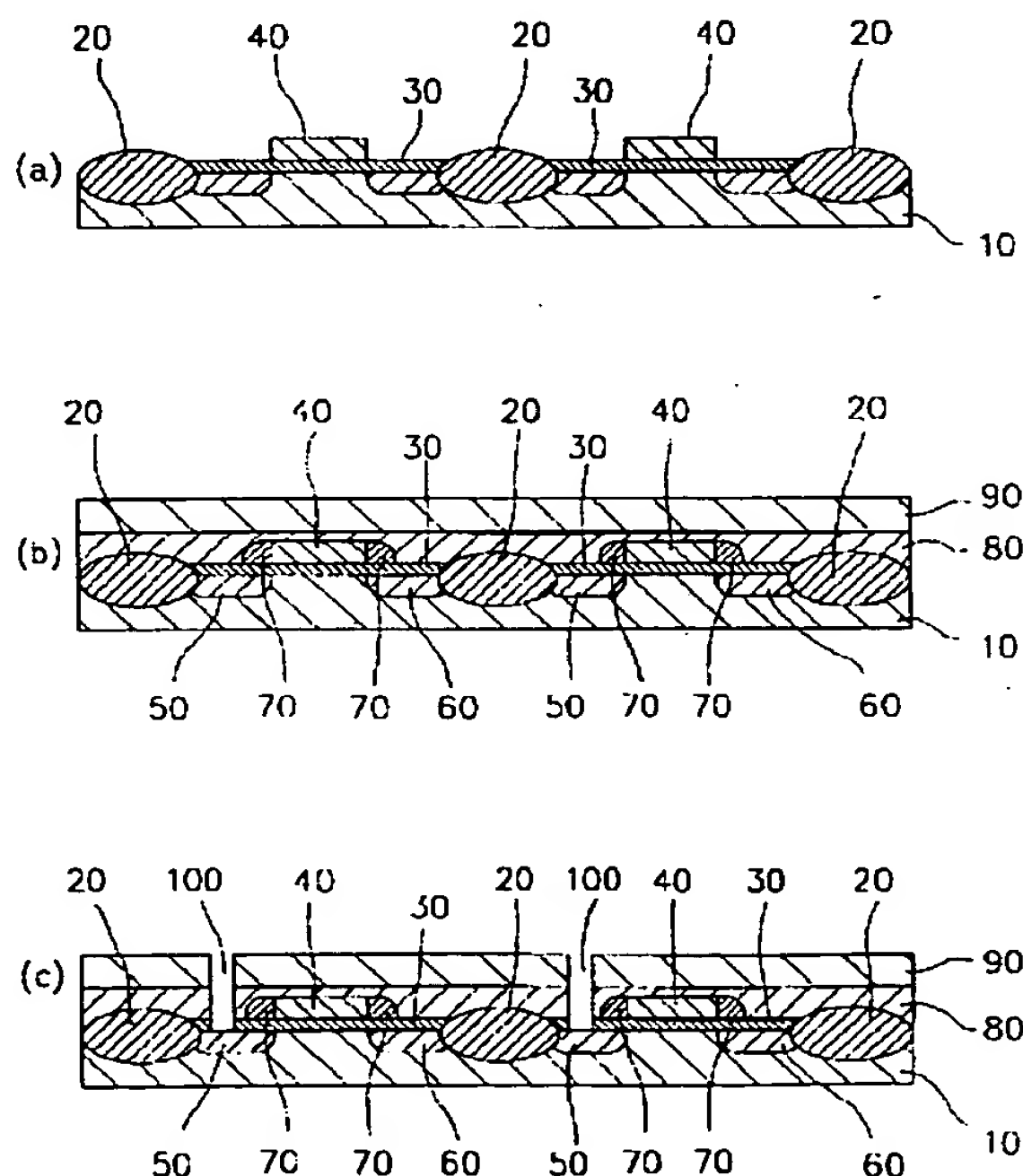
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 複数の半導体装置の識別のために半導体集積回路内にそれぞれに変更不可能で、なおかつ各々異なる固有の情報を記憶した識別用のメモリセル部を有する半導体装置並びにその簡便な製造方法を提供する。

【解決手段】 半導体基板10上にアレー状に形成された複数のトランジスタを配置し、前記複数のトランジスタと配線層130との間に開口されたコンタクト100孔に選択的に散布した絶縁物からなる微粒子110によって、前記複数のトランジスタの前記コンタクト100孔の一部を無作為に塞がれた識別用メモリセル部を形成することにより、一つとして同じメモリセル部分を持つ半導体装置が存在しないようにして、このセルの情報をホストに登録しておくことにより各々の半導体装置を識別可能となし、重要な情報を記録した半導体装置の偽造を防ぐことができるようにする。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された複数のトランジスタと、
前記複数のトランジスタの上方に形成された配線層とを有し、
前記複数のトランジスタと前記配線層との間にコンタクト孔が配置され、前記コンタクト孔の一部には絶縁物からなる粒子が埋め込まれていることを特徴とする半導体記憶装置。

【請求項2】 請求項1に記載の半導体記憶装置であって、
前記複数のトランジスタの個数は少なくとも識別したい半導体記憶装置の個数の2を底とする対数値より多いことを特徴とする半導体記憶装置。

【請求項3】 請求項1に記載の半導体記憶装置であって、
前記粒子が埋め込まれている前記コンタクト孔は、前記複数のトランジスタの中の一部のトランジスタにおけるドレイン拡散層に接続されていることを特徴とする半導体記憶装置。

【請求項4】 請求項1に記載の半導体記憶装置であって、
前記コンタクト孔に前記粒子がランダムに埋め込まれていることを特徴とする半導体記憶装置。

【請求項5】 コンタクト孔が形成された半導体基板上に微粒子を散布する工程と、
前記半導体基板上にメタル配線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項6】 請求項5に記載の半導体記憶装置の製造方法であって、
前記微粒子の一部が前記コンタクト孔に埋め込まれることを特徴とする半導体記憶装置の製造方法。

【請求項7】 請求項5に記載の半導体記憶装置の製造方法であって、
前記微粒子が絶縁物であることを特徴とする半導体記憶装置の製造方法。

【請求項8】 請求項5に記載の半導体記憶装置の製造方法であって、
前記微粒子を散布する工程の後に、前記微粒子の一部を除去する工程を有することを特徴とする半導体記憶装置の製造方法。

【請求項9】 請求項8に記載の半導体記憶装置の製造方法であって、
前記微粒子を除去する工程は、ブロー又はスクラブ洗浄工程であることを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体記憶装置に関し、特に、半導体記憶装置に個別の情報を記憶させ、そ

れぞれの半導体記憶装置が識別可能なように成された個人認証用の識別情報を有する半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体集積回路を用いた携帯カードが開発、製造されており、各々のカードの識別に用いる固有のデータは磁気記録によって行っていた。半導体集積回路を用いたカードでは各々の半導体集積回路内に識別用のデータを記憶しておくためのメモリセル部（以下識別用セルとする）が必要となる。

【0003】 現在、多数の半導体記憶装置のそれぞれに他と異なる識別用のデータを記憶するメモリセル部を製造するためには、半導体製造工程のフォトリソグラフィ工程において用いるフォトマスクに各々のチップの異なるデータを記憶させる方法や、同工程においてフォトマスクを用いずに電子ビーム描画によって直接データを書き込む方法、または書換え可能な不揮発性メモリを製造した後に、各々のチップに異なる情報を記憶させる方法などがある。

【0004】

【発明が解決しようとする課題】 前記した従来の方法は、製造者の所望したデータを記憶できるという長所があるが、異なるフォトマスクを用いる方法では、各ウエハごとに異なるマスクが必要なため非常にコストがかかる問題があった。

【0005】 また、電子ビーム描画を用いる方法では、チップ毎に異なるデータを書き込まなければならないのでスループットが低下する問題があった。また、書換え可能な不揮発性メモリを用いる方法では、簡単に情報の変更が可能であり、製造者以外の他者にデータを変更される恐れがあるという問題があった。

【0006】 本発明は前記問題点を解決するために、識別セル内の無作為に選ばれた一部のトランジスタを動作不能にすることにより、変更不可能でなおかつ各々異なる固有の情報を記憶した識別用セルを有する半導体記憶装置とその簡便な製造方法を提供することにある。このセルの情報をホストに登録しておくことにより各々の半導体記憶装置を識別することが出来るため、重要な情報を記憶した半導体記憶装置の偽造を防ぐことが出来る。

【0007】

【課題を解決するための手段】 本発明の半導体記憶装置は、半導体基板上にアレー状に形成された複数のMOS型トランジスタを有し、前記複数のトランジスタによる識別用セルは統計学的に十分に大きい数のメモリセルアレーを構成する。この識別用セルアレーの個数は少なくとも識別したい半導体記憶装置の個数の2を底とする対数値より多い個数を備え、実用的には最低100bit以上のメモリから構成される。

【0008】 前記アレー状に形成された複数のトランジスタと配線層との間に開口されたコンタクト孔に絶縁物

からなる粒子を選択的に散布し、前記コンタクト孔の一部に絶縁物を埋め込むことによってメモリセルの動作不能状態をランダムに起し、識別用セルに異なる情報を記憶した半導体記憶装置を提供する。

【0009】

【作用】本発明によれば、識別用セルに絶縁物からなる微粒子を散布するため、製造が簡単で低コストであるにもかかわらず、一つとして同じメモリセル部分を持つチップは存在しないようにすることができる。

【0010】

【実施例】以下に、本発明の半導体記憶装置の実施例を、図面を参照しながら具体的に説明する。識別用セルアレイの個数は少なくとも識別したい半導体記憶装置の個数の2を底とする対数値より多い個数を備え、実用的には最低100bit以上のメモリから構成される必要がある。

【0011】本実施例では、識別用セルとして1KbitのROM(読み出し専用記憶装置)アレイを用い、製造工程の途中で微粒子を散布することによりトランジスタ配線の導通、非導通をランダムに起こし、前記の半導体記憶装置を実現する。

【0012】図1は、本実施例に係わる主要製造工程を示す概略縦断面図を示す。図1(a)に示すように、P型半導体基板10上で素子分離領域にフィールド酸化膜20を熱酸化によって5500Å成長させる。その後、熱酸化によってゲート酸化膜30を12Å成長させる。次に、ゲート電極となる多結晶シリコンを成膜し、リンを堆積し、エッチングによりゲート電極40を加工する。

【0013】次いで、図1(b)に示すように、リンを80Kev、 $2 \times 10^{13}/\text{cm}^2$ の条件でイオン注入して低濃度拡散層を形成した後、全面に酸化膜を成膜する。続いて、全面を異方性エッチングすることにより、ゲート電極側面にサイドウォール70を形成する。次に、砒素(As)を50Kev、 $3.5 \times 10^{15}/\text{cm}^2$ の条件でイオン注入することによってソース・ドレインの高濃度不純物拡散層50、60を形成する。

【0014】その後、酸化膜80を2000Å堆積し、さらにBSPG(ボロン珪酸リンガラス)膜90を6000Å堆積し、その後900℃で30分間加熱し平坦化する。次いで、図1(c)に示すように、ビットラインのコンタクト以外をレジストでマスクした後、等方性エッチングを行い、続いて異方性エッチングにより直径0.5μmのコンタクト100を開孔する。

【0015】次いで、図2(a)に示すように、コンタクト100と拡散層50、60との接触部をオーミック化するため、Asを30Kev、 $5 \times 10^{15}/\text{cm}^2$ の条件でイオン注入する。その後に識別用セル以外の部分をレジスト120でマスクする。続いて、例えばポリスチレンラテックス(PSL)で構成された直径0.4μmの微粒子110をアトマイザー(噴霧器)で散布する。

【0016】前記微粒子110の散布は、ウエハ全体またはウエハ表面の一部に選択的に散布し、散布された粒子がランダムにコンタクト孔100に埋め込まれる。前記粒子が埋め込まれている前記コンタクト孔100は、前記複数のMOS型トランジスタの中の一部のトランジスタにおける前記ソース・ドレイン拡散層50、60に接続される。

【0017】標準粒子径はコンタクト孔100の径よりやや小さいものを用い、またポリスチレンラテックス以外の絶縁性の微粒子を用いても良い。次に、窒素プロまたはスクラブ洗浄によってウエハ表面上の微粒子を除去する。次いで、レジスト120を除去した後、メタル配線を形成する。

【0018】図2(b)に示すように、メタル配線としてアルミニウム130を配線する。識別用セル内のいくつかのトランジスタはポリスチレンラテックスによってビットラインを塞がれ導通しないため、それによってメモリの中に各集積回路特有のランダムなROMパターンが形成される。

【0019】次いで、図2(c)に示すように、保護用の酸化膜140を5000Å、窒化膜150を5000Å堆積させ、半導体記憶装置を完成させる。

【0020】なお、本発明は前記の実施形態に限定されるものではなく、ROM以外のメモリ、例えばSRAM、DRAMやEEPROMなどのメモリアレイにも適用可能である。

【0021】

【発明の効果】以上、本発明により各々の半導体記憶装置の識別用セル部分に変更不可能で、なおかつ全て異なる情報を有する半導体記憶装置を既存の半導体プロセスに数工程追加するだけで簡単に製造することが出来る。このセルの情報をホストに登録しておくことにより各々の半導体記憶装置を識別することが可能なため、重要な情報を記録した半導体記憶装置の偽造を確実に防ぐことが出来る。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための製造工程順の概略縦断面図である。

【図2】本発明の一実施例を説明するための製造工程順の概略縦断面図である。

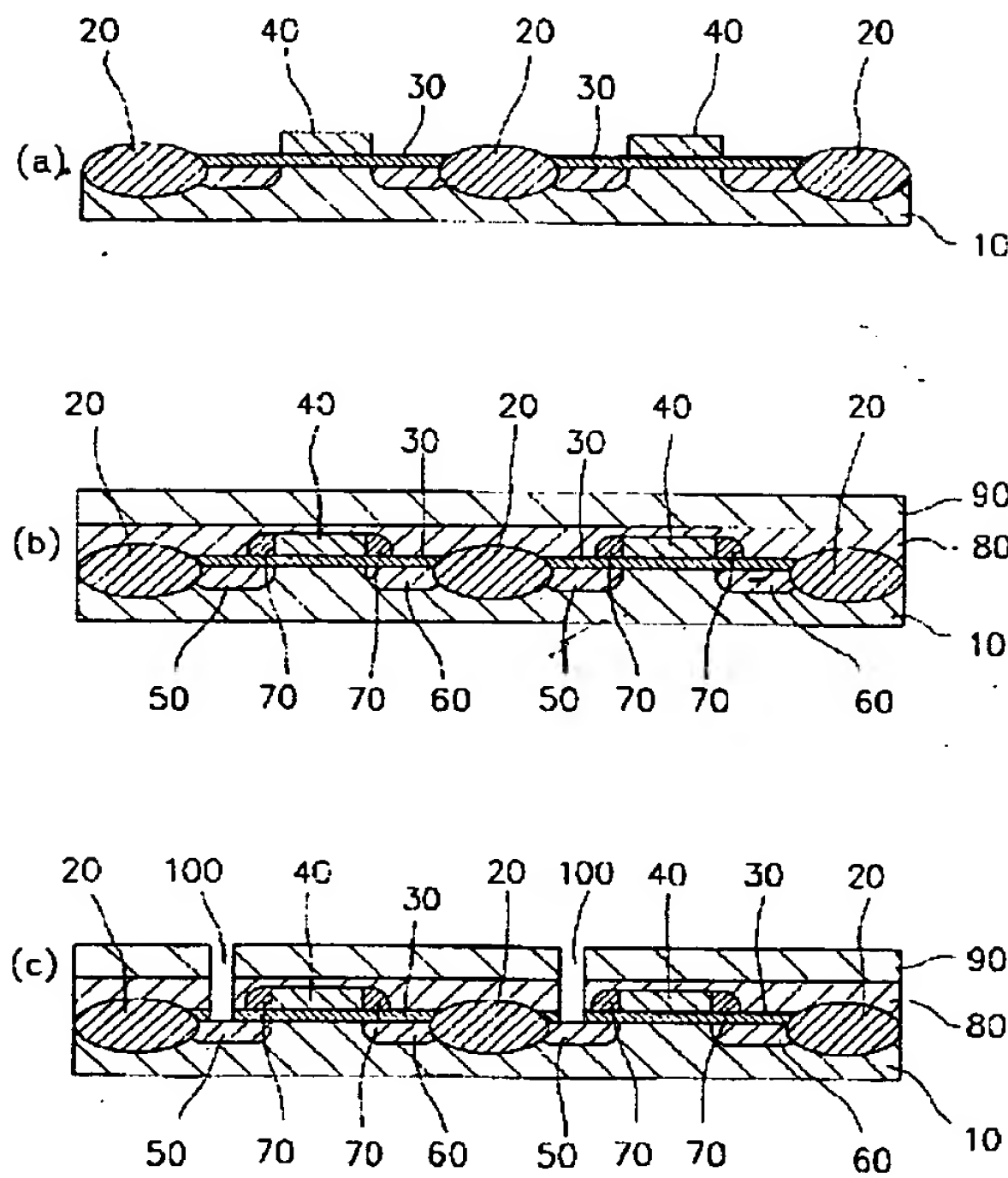
【符号の説明】

- 10 半導体基板
- 20 素子分離領域
- 30 ゲート絶縁膜
- 40 ゲート電極
- 50 不純物拡散層
- 60 不純物拡散層
- 70 サイドウォール
- 80 酸化膜
- 90 BSPG膜
- 100 コンタクト
- 110 ポリスチレンラテックス(PSL)

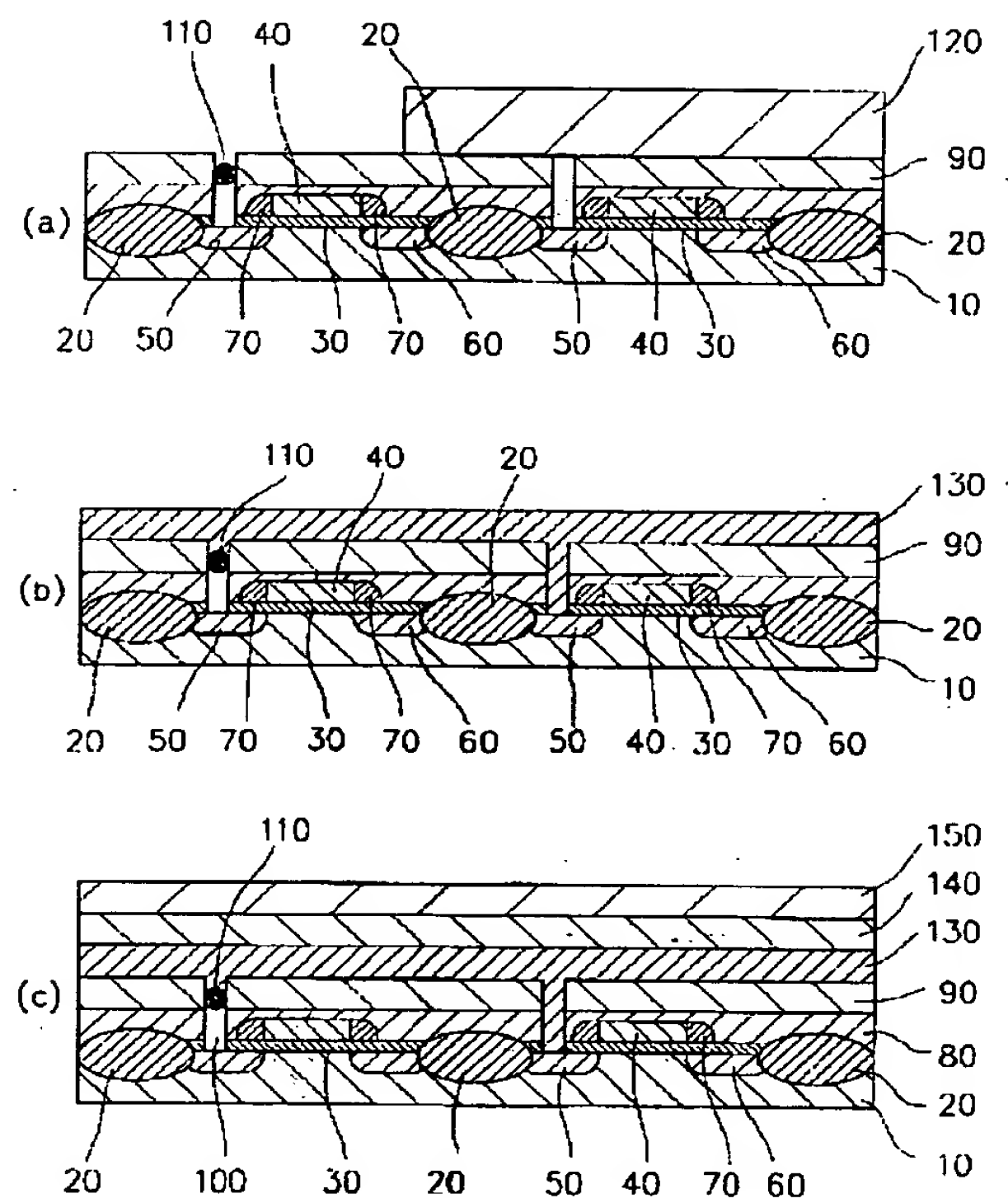
120 レジスト
130 アルミニウム

140 酸化膜
150 窒化膜

【図1】



【図2】



フロントページの続き

(51) Int. Cl.⁶
H01L 27/115

識別記号

F I